

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-083929

(43)Date of publication of application : 26.03.1996

(51)Int.Cl.

H01L 33/00

(21)Application number : 06-220206

(71)Applicant : ROHM CO LTD

(22)Date of filing : 14.09.1994

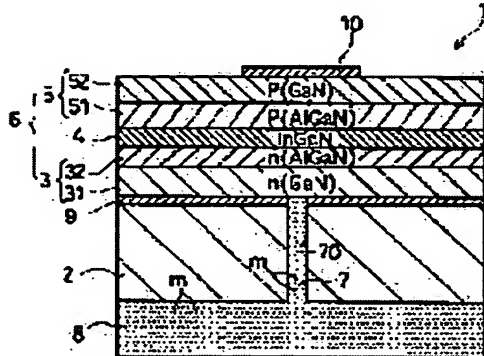
(72)Inventor : TAJIRI HIROSHI

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enhance the light emitting luminance by conducting the bonding operation by small man-hour by using the manufacturing line of the same type as the formation of electrodes on both upper and lower surfaces of a semiconductor light emitting element even if the element using an insulating board is used, and eliminating the necessity of reducing the area of a light emitting layer to obtain the forming positions of the electrodes.

CONSTITUTION: A semiconductor light emitting element has a laminated layer 6 formed of an n-type semiconductor layer 3, a light emitting layer 4 and a p-type semiconductor layer 5 on the surface of an insulating board 2, and comprises a contact hole 7 filled with conductive substance (m) in a through hole 70 formed from the forming position of an n-type or p-type layer 31 of the lowermost layer of the layer 6 in the board 2. A conductive film 8 conducted with the layer 31 of the lowermost layer is formed via the hole 7 on the rear surface of the board 2.



LEGAL STATUS

[Date of request for examination] 05.12.2000

[Date of sending the examiner's decision of rejection] 02.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-07737

[Date of requesting appeal against examiner's decision of rejection] 02.05.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-83929

(43) 公開日 平成8年(1996)3月26日

(51) IntCl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 33/00	E			
	C			
	N			

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平6-220206

(22) 出願日 平成6年(1994)9月14日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 田尻 博

京都市右京区西院溝崎町21番地 ローム株式会社内

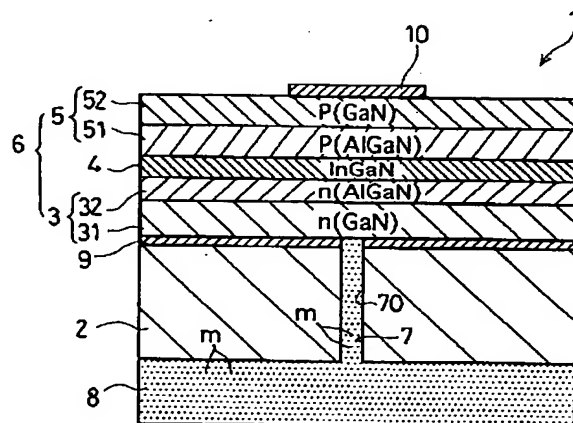
(74) 代理人 弁理士 吉田 稔 (外2名)

(54) 【発明の名称】 半導体発光素子、およびその製造方法

(57) 【要約】

【目的】 絶縁基板を用いた半導体発光素子であっても、半導体発光素子の上下両面に電極が形成されているタイプと同様な製造ラインを用いて少ない工程数でのボンディング作業が行えるようにし、また電極の形成箇所を確保するために発光層の面積を減少させるような必要もなくし、発光輝度を高める。

【構成】 絶縁基板2の表面上に、n型半導体層3、発光層4、およびp型半導体層5から構成される積層部6が形成されている半導体発光素子において、上記絶縁基板2には、上記積層部6のうち最下層のn型またはp型の半導体層31の形成位置から絶縁基板2の裏面にわたって形成されたスルーホール70内に導電性物質mが充填されたコンタクトホール7が形成され、上記絶縁基板2の裏面には、上記コンタクトホール7を介して上記最下層の半導体層31に導通する導電性膜8が形成されている。



【特許請求の範囲】

【請求項1】 絶縁基板の表面上に、n型半導体層、発光層、およびp型半導体層から構成される積層部が形成されている半導体発光素子において、

上記絶縁基板には、上記積層部のうち最下層のn型またはp型の半導体層の形成位置から絶縁基板の裏面にわたって形成されたスルーホール内に導電性物質が充填されたコンタクトホールが形成され、かつ、

上記絶縁基板の裏面には、上記コンタクトホールを介して上記最下層の半導体層に導通する導電性膜が形成されていることを特徴とする、半導体発光素子。

【請求項2】 絶縁基板の表面上に、n型半導体層、発光層、およびp型半導体層から構成される積層部を形成した後に、

上記絶縁基板には、上記積層部のうち最下層のn型またはp型の半導体層の形成位置から絶縁基板の裏面にわたってスルーホールを形成し、

その後上記絶縁基板の裏面側へ導電性物質を堆積付着させることにより、上記スルーホール内へ導電性物質を充填させてコンタクトホールを形成するとともに、上記絶縁基板の裏面に導電性膜を形成することを特徴とする、半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本願発明は、たとえば青色発光LEDなど、絶縁基板を用いて構成されるタイプの半導体発光素子、およびその半導体発光素子の製造方法に関する。

【0002】

【従来の技術】赤色や緑色の発光LEDは、一般には、GaP基板やGaAsP基板などの導電性基板を用いて製造されている。したがって、このような半導体発光素子については、たとえば図4に示すように、一対の電極10a、10bを、基板2eの表面に形成された積層部6eのうち最表層の半導体層5eと基板2eの裏面とに各々設けることができる。また、このような半導体発光素子では、たとえば図5に示すように、リードフレーム30へのボンディングを行う場合に、下側の電極10bをそのままリード30aへ導通接着させることができ、ワイヤボンディングは上側の電極10aを1本のワイヤ32bによってリード30bへ接続させるだけでよい。

【0003】これに対し、青色発光LEDについては、絶縁基板としてのサファイア基板が採用されているのが実情である。このような発光LEDについては、ただ単に絶縁基板の裏面に電極を形成しても、この電極は基板によって半導体層と絶縁されているから意味をなさない。

【0004】そこで、従来では、絶縁基板を用いた青色発光LEDなどの半導体発光素子を製造する場合には、たとえば図6に示すように、絶縁基板2fの表面に形成

された積層部6fのうち、発光層4fおよびp型半導体層5fの一部の領域Bをエッチングによって除去していた。そして、このエッチングされた領域Bに露出したn型半導体層3fの表面に一方の電極10bを設けていた。なお、他方の電極10aは、p型半導体層5fの表面に設けていた。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の図6に示した半導体発光素子では、積層部6fの表面側（上面側）に2つの電極10a、10bが形成されているために、リードフレームへのボンディングを行う場合には、たとえば図7に示すように、2本のワイヤ32a、32bを用いて各リード30a、30bへのワイヤボンディング作業を行う必要がある。したがって、そのボンディング作業の工程数が図5で示した場合に比較すると増加し、発光ランプを製作する際の製造効率が悪くなるという難点があった。

【0006】また、上記従来の半導体発光素子では、リードフレーム30へのワイヤボンディング工程の内容

が、図5で示した工程とは相違するために、たとえば図4で示したタイプの半導体発光素子を用いて発光ランプを製造するための既存の生産ラインをそのまま利用して発光ランプの生産を行うことができない。したがって、従来では、絶縁基板を用いた半導体発光素子を部品とする発光ランプを製造する場合には、その半導体発光素子専用の生産ラインを別途用意する必要が生じ、設備費用が多大となる難点もあった。

【0007】さらに、上記従来の半導体発光素子では、一方の電極10bを形成することを目的として積層部6fの一部の領域Bをかなり大きな面積で除去する必要があるために、この領域分だけ発光層4fの面積が小さくなる。したがって、半導体発光素子の発光強度がそれだけ低下し、高い発光輝度が得られなくなるという難点も生じていた。

【0008】本願発明は、このような事情のもとで考え出されたものであって、絶縁基板を用いた半導体発光素子であっても、半導体発光素子の上下両面に電極が形成されているタイプと同様な製造ラインを用いて少ない工程数でのボンディング作業が行えるようにし、しかも電極の形成箇所を確保するために発光層の面積を減少させるような必要もなくし、発光輝度を高めることができるようにすることをその課題としている。

【0009】

【課題を解決するための手段】上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0010】すなわち、本願の請求項1に記載の発明は、絶縁基板の表面上に、n型半導体層、発光層、およびp型半導体層から構成される積層部が形成されている半導体発光素子において、上記絶縁基板には、上記積層部のうち最下層のn型またはp型の半導体層の形成位置

から絶縁基板の裏面にわたって形成されたスルーホール内に導電性物質が充填されたコンタクトホールが形成され、かつ、上記絶縁基板の裏面には、上記コンタクトホールを介して上記最下層の半導体層に導通する導電性膜が形成されていることを特徴としている。

【0011】また、本願の請求項2に記載の発明は、上記請求項1に記載の半導体発光素子を製造するための方法であって、絶縁基板の表面上に、n型半導体層、発光層、およびp型半導体層から構成される積層部を形成した後に、上記絶縁基板には、上記積層部のうち最下層のn型またはp型の半導体層の形成位置から絶縁基板の裏面にわたってスルーホールを形成し、その後上記絶縁基板の裏面側へ導電性物質を堆積付着させることにより、上記スルーホール内へ導電性物質を充填させてコンタクトホールを形成するとともに、上記絶縁基板の裏面に導電性膜を形成することを特徴としている。

【0012】

【発明の作用および効果】上記請求項1に記載した発明においては、絶縁基板の表面上に形成された積層部のうち、最下層のn型またはp型の半導体層がコンタクトホールを介して絶縁基板の裏面に形成された導電性膜と導通しているために、この導電性膜を電極として機能させることができ、あるいはこの導電性膜に電極を形成すればよいこととなる。また、積層部の最表層に対する電極形成は従前通り行うことができる。したがって、半導体発光素子の上下両面に電極を形成したのと同様な構成にできることとなる。

【0013】その結果、リードフレームなどへのボンディングを行う場合には、絶縁基板の裏面側の導電性膜をリードに対して導電接着させることにより、この導電性膜にコンタクトホールを介して導通する一方の半導体層への電気配線接続が行えることとなって、ワイヤボンディングなどのボンディング作業工程の簡素化が図れ、発光ランプを製造する際の製造効率を向上させることができるという格別な効果が得られる。

【0014】しかも、このようなボンディング作業は、上下両面に電極を配置した構造の半導体発光素子についてボンディングを行う場合の作業工程と同様であるために、発光ランプを製造する場合には、上下両面に電極を形成した半導体発光素子についての生産ラインをそのまま利用することが可能となる。したがって、従来とは異なり、絶縁基板を用いた半導体発光素子専用の生産ラインを別途準備するような必要もなくなり、設備コストを大幅に低減することができるという効果も得られる。

【0015】また、請求項1に記載した発明では、電極形成用のスペースを確保する必要性から発光層の一部をエッチングし、除去する必要はない。したがって、従来に比較して、発光層の面積を大きくとることができることにより、発光層の発光強度を強めることができ、高い発光輝度が得られるという優れた効果も得られる。

【0016】請求項2に記載の発明においては、絶縁基板の表面上に所定の積層部を形成した後に、その積層部のうち最下層のn型またはp型の半導体層の形成位置から絶縁基板の裏面にわたってスルーホールを形成し、その後上記絶縁基板の裏面側へ導電性物質を堆積付着させるために、コンタクトホールの形成と絶縁基板の裏面への導電性膜の形成とを同時に行うことができる。すなわち、一部の導電性物質が絶縁基板の裏面に形成されたスルーホール内に順次充填されてゆくことによりコンタクトホールが形成されると同時に、他の導電性物質は絶縁基板の裏面に順次堆積付着し、上記コンタクトホールと導通した導電性膜が形成されることとなる。したがって、請求項1に記載の半導体発光素子を、簡易な製造工程によって適切に製造することができる。

【0017】

【実施例の説明】以下、本願発明の好ましい実施例を、図面を参照しつつ具体的に説明する。

【0018】図1は、本願発明に係る半導体発光素子の一例を示す断面図である。

【0019】図1に示す半導体発光素子1は、青色発光LEDとして構成されたものであり、絶縁基板としてのサファイア基板2の表面上に、n型半導体層3、発光層4、およびp型半導体層5からなる積層部6を形成したものである。また、サファイア基板2の裏面には導電性膜8が形成されているとともに、このサファイア基板2には、その裏面から上記積層部6の最下層のn型半導体層3の形成位置にわたってコンタクトホール7が形成されている。

【0020】上記n型半導体層3は、サファイア基板2の表面上に成長させた窒化ガリウムなどのバッファ層9上に形成されており、n型Ga_{0.9}N層31、およびn型AlGa_{0.1}N層32 (Al_{0.1}, Ga_{0.9}, N)によって形成されている。上記発光層4は、たとえばInGa_{0.5}N層 (In_{0.5}, Ga_{0.5}, N)によって形成されている。また、p型半導体層5は、p型AlGa_{0.1}N層51 (Al_{0.1}, Ga_{0.9}, N)、およびp型Ga_{0.9}N層52によって形成されている。このp型Ga_{0.9}N層52の表面には、たとえばTi, Au, Niなどの電極10が形成されている。

【0021】上記コンタクトホール7は、サファイア基板2の裏面からこのサファイア基板2およびバッファ層9を貫通し、積層部6の最下層のn型Ga_{0.9}N層31に到達するように形成されたスルーホール70内に、導電性物質mが充填されて構成されている。この導電性物質mの具体例としては、たとえば燐(P)の拡散処理がなされることにより導電性が具備されたポリシリコンが適用される。

【0022】上記導電性膜8は、サファイア基板2の裏面の全面に形成されているが、この導電性膜8は、上記コンタクトホール7を形成する導電性物質mと同一物質mによって形成することができ、その具体例としては既

述した層が拡散されたポリシリコンが適用される。この導電性膜8は、上記コンタクトホール7と導通するように設けられており、このコンタクトホール7を介して上記n型Ga N層31に導通している。

【0023】次に、上記構成の半導体発光素子1の製造方法の一例について説明する。

【0024】まず、図2(a)に示すように、サファイア基板2の表面上に、所定のバッファ層9、n型半導体層3、発光層4、およびp型半導体層5を形成するが、これは従来既知の有機金属化学気相成長法(MOCVD)によって、上述した各成分の単結晶を順次成長させることにより行うことができる。なお、p型半導体層5の最表層には電極10を形成するが、この電極10の形成時期は特に限定されず、積層部6を形成した後であれば、いつでもよい。

【0025】次いで、上記作業工程が終了した後は、図2(b)に示すように、サファイア基板2の裏面側からn型Ga N層31の下面側の位置までスルーホール70を形成する。このスルーホール70は、エッチング処理によって形成することが可能であり、その具体的な内径寸法などは問わない。また、形成個数も問わず、たとえばこのスルーホール70を複数箇所設けてもよい。さらに、このスルーホール70がn型Ga N層31の上側に位置するn型Al Ga N層32に到達しない限りにおいて、n型Ga N層31が多少浸食される状態に形成されていても構わない。

【0026】上記のようにしてスルーホール70を形成した後は、その後図2(c)に示すように、多結晶体としてのポリシリコンを、たとえば低圧CVD法によってサファイア基板2の裏面側へ順次堆積付着させる。この場合、ポリシリコンに予め燐(P)を拡散処理させていてもよいし、ポリシリコンと同時に燐(P)をCVD法によって所望の比率で混合堆積させるようにしてもよい。これにより、図1で示したように、上記スルーホール70内にはポリシリコンの結晶体を充填させることができ、コンタクトホール7を形成する構成することができる。また、これと同時に、サファイア基板2の裏面には、ポリシリコンを成膜させることができ、コンタクトホール7に導通した導電性膜8を形成することができる。したがって、図1で示した半導体発光素子1を適切に製造することができる。

【0027】なお、上記一連の製造作業は、ウエハに対して行われ、上記のようにして半導体発光素子1を製造した後は、ダイシングにより、たとえば平面矢視において一辺が0.5mm程度の正方形のチップに分割される。

【0028】以上のようにして製造された半導体発光素子1は、積層部6の最表層に電極10が形成されている他、サファイア基板2の裏面側には、積層部6の最下層のn型Ga N層31に導通した導電性膜8が形成されて

いる。したがって、この半導体発光素子1を用いて発光ランプを製造する場合には、図4および図5において説明したのと同様な簡易な作業工程によってリードフレームへのボンディングを行うことができる。すなわち、サファイア基板2の裏面の導電性膜8をリードフレームに対して導電性接着剤を用いて接着すれば、もはやn型Ga N層31に対してのワイヤボンディングを行う必要はない。したがって、金線を用いたワイヤボンディングは、電極10に対してのみ行えばよく、ボンディング作業が容易化される。

【0029】また、このような半導体発光素子1のボンディング作業工程は、実質的には図4および図5において説明したボンディング作業工程と同一であるから、この半導体発光素子1を部品とする青色発光ランプの製造は、図4に示した半導体発光素子を部品とする発光ランプの製造装置を利用して行うことが可能となる。この半導体発光素子1のボンディング作業を行うための装置として、特別仕様の製造設備を別途準備する必要はない。

【0030】さらに、この半導体発光素子1においては、電極10と導電性膜8との両者間に電圧を印加して電流供給を行うことにより、発光層4を青色に発光させることができるが、この発光層4にはエッチング処理などが施されておらず、その面積はサファイア基板2やn型半導体層3などに比較して何ら狭まっていない。したがって、発光層4の面積が大きい分だけその発光強度を強くでき、高い発光輝度を得られることとなる。青色の発光LEDについては、従来において高い発光輝度を得ることが技術的に難しいものとされていたが、発光層4の面積を大きくすることにより発光輝度を高めることができ、そのような難点の解消にも役立つ効果が得られる。

【0031】なお、上記実施例では、発光層4に一切エッチングを施さず、半導体発光素子1の発光面積を最大限に確保した場合を一例として説明したが、本願発明は必ずしもこれに限定されない。本願発明では、たとえば図3に示すように、積層部6の一部の領域Baをエッチングによって除去し、コンタクトホール7がサファイア基板2の裏面からn型Ga N層31の表面側へ貫通するように形成してもよい。この場合には、発光層4の面積が減少し、発光輝度が多少は低下するものの、従来とは異なりn型Ga N層31の表面にはやはり電極を設ける必要はない。すなわち、上記エッチングを行う領域Baは、実際には非常に小さい領域で足りる。したがって、発光層4の面積を大幅に狭めるようなことは回避でき、発光層4における発光強度をやはり従来よりも強くすることができ、本願発明の目的を達成可能である。

【0032】また、上記実施例では、青色発光LEDを一例として説明したが、本願発明は必ずしもこれに限定されない。本願発明は絶縁基板を用いるタイプの半導体発光素子の全てに適用可能である。したがって、n型半

導体層、発光層、およびp型半導体層などの具体的な材質なども限定されない。本願発明に係る半導体発光素子の各部の具体的な構成は種々に設計変更自在であり、またその具体的な製造方法も種々に変更自在である。

【図面の簡単な説明】

【図1】本願発明に係る半導体発光素子の一例を示す断面図。

【図2】(a)～(c)は図1に示す半導体発光素子の製造方法の一例を示す断面図。

【図3】本願発明に係る半導体発光素子の他の例を示す断面図。

【図4】従来の半導体発光素子の一例を示す断面図。

【図5】図4に示す半導体発光素子のボンディング作業の一例を示す説明図。

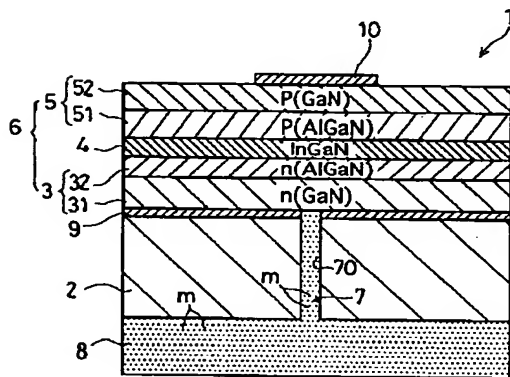
*【図6】従来の半導体発光素子の他の例を示す断面図。

【図7】図6に示す半導体発光素子のボンディング作業の一例を示す説明図。

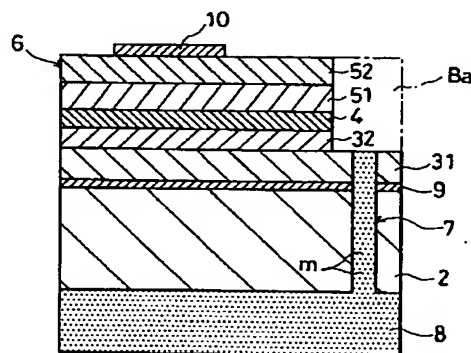
【符号の説明】

- 1 半導体発光素子
- 2 サファイア基板（絶縁基板）
- 3 n型半導体層
- 4 発光層
- 5 p型半導体層
- 6 積層部
- 7 コンタクトホール
- 8 導電性膜
- 70 スルーホール
- m 導電性物質

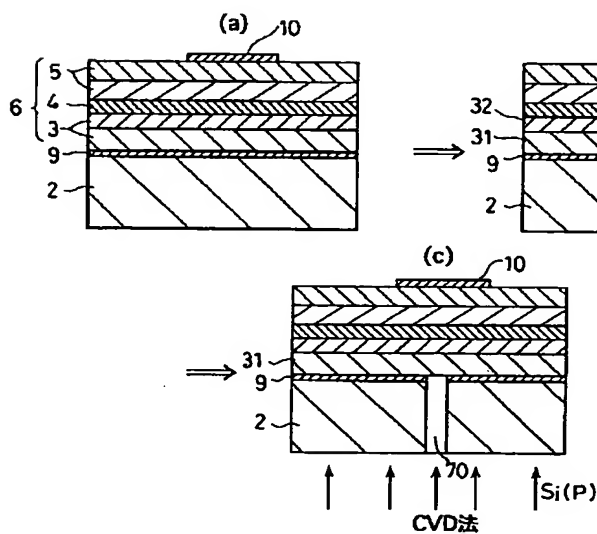
【図1】



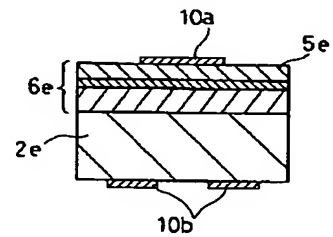
【図3】



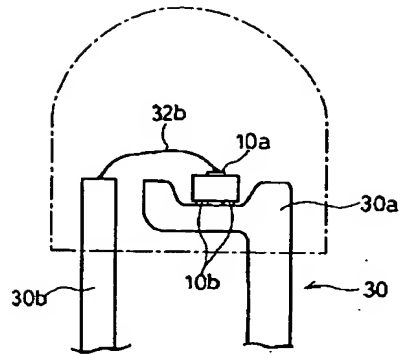
【図2】



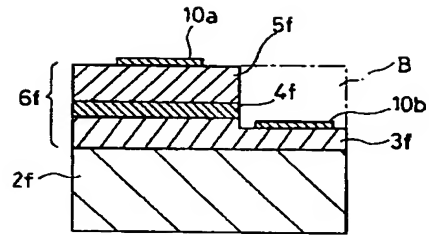
【図4】



【図 5】



【図 6】



【図 7】

